



第 25 届电子封装技术国际会议

2024年8月7-9日 中国·天津

<http://www.icept.org>

演讲题目: 用于异质集成应用的金属/电介质混合键合

演讲人: Viorel Dragoi 首席科学家 EV Group, Sankt Florian/Inn

演讲摘要:

在过去十年中, 混合晶圆到晶圆键合引起了人们的极大兴趣, 因为它可以在制造晶圆级互连方面提供主要优势。作为一种替代工艺, 我们开发了从晶粒到晶圆的工艺流程。就表面处理而言, 该过程极具挑战性, 因为基板必须同时适应两种类型的键合过程(介电-介电和键合焊盘级别的 Cu-Cu 键合)。键合表面的制造必须产生特定的形貌(相对于介电表面的金属凹槽在个位数纳米以内, 介电表面具有非常低的微粗糙度 - 小于 0.5 nm 等), 在直径达 300 毫米的晶圆上具有非常高的均匀性。键合过程必须确保整个晶圆的高对准精度(亚微米), 并在 CMOS 热预算 (<400° C) 内进行低温处理。在键合过程之后, 必须对两个键合伙伴中的一个进行减薄: 如果未按照规格进行基板准备或未正确执行键合过程, 则晶圆上的结构将变形, 使进一步加工更加困难、耗时并增加成本。因此, 基材质量和精确的粘接过程控制非常重要。

A 晶圆对晶圆键合(Wafer-to-Wafer Bonding)

为了进行介电/金属混合晶圆键合, 晶圆需要特殊的准备工作。这种晶圆将表现出大面积的介电材料(例如各种 CVD 沉积的 SiO₂、SiC 或 SiCN), 带有小的金属“岛”, 即铜焊盘(见图 1)。该工艺的最终目标是在两个介电表面之间创建牢固的键合, 并创建 Cu-Cu 键, 确保金属在晶圆级互连。

键合工艺流程类似于低温熔融键合工艺[1]: 首先在等离子体中激活晶圆, 然后用水清洗以去除空气中的颗粒, 光学对准并在室温下放置在光学对准设备内接触, 以最大限度地降低由于额外的处理步骤而引起错位的风险。首先通过光学对准精度评估工艺结果。提出了一种覆盖模型, 以允许大面积对准精度评估, 以实现高精度(目前在生产中可以达到<150 nm 的精度)。

B 晶粒对晶圆键合(Die-to-Wafer Bonding)

在晶圆到晶圆的工艺中, 某些应用所需的高产量很难达到。在这种情况下, 一个晶圆被键合到从第二个晶圆中分离出来的芯片上, 并根据“已知好的芯片”原则进行选择: 这样, 两个晶圆的单个良率不会进一步影响键合对的良率。

虽然键合过程与上述所示的晶圆到晶圆流程相同, 但在芯片处理方面有两种替代工艺流程(图 2): 标准拾取和放置方法和集体芯片到晶圆方法。

图 3.显示了晶圆的照片, 显示了不同尺寸的芯片键合, 以及混合芯片与晶圆键合的横截面。

将对工艺流程进行详细解释, 并用实验结果进行说明。将描述主要挑战, 并描述基于混合键合的未来应用。

关键词:异构集成;芯片;混合键合

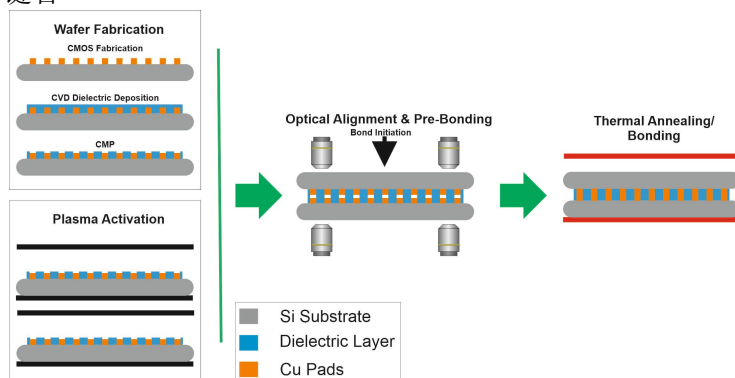


图 1 混合键合工艺流程示意图：CMOS 晶片平坦化、表面活化、光学对准、通过接触的自发电介质-电介质熔合键合，以及导致 Cu-Cu 金属热压键合的热退火（不施加接触压力，所需的高压由退火过程中的 Cu 热膨胀提供）。

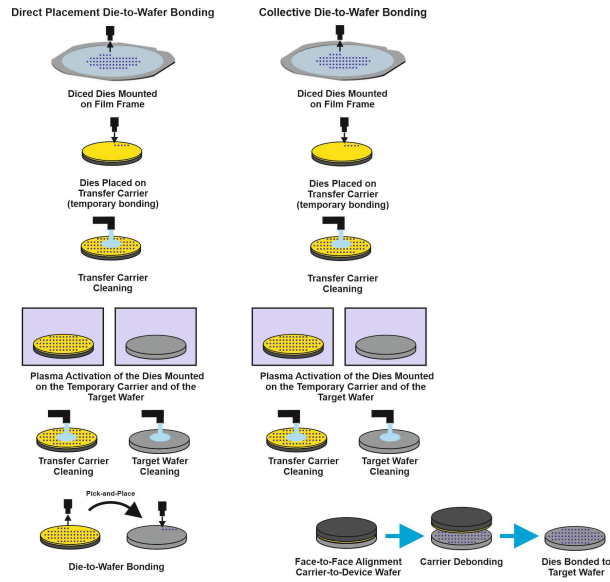


图 2. 晶粒与晶圆的混合键合制程流程。

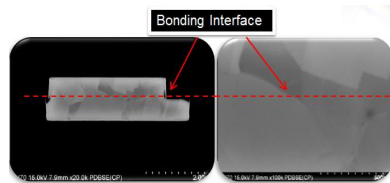


图 3 晶粒与晶圆键合结果：混合键合的 TEM 截面显示了 Cu-Cu 焊盘键合的高质量。

结论

- 1) 混合键合已经代表了一种成熟的技术，可以用于各种各样的应用。
- 2) 晶粒与晶圆键合技术是一种通用技术，允许在异构集成应用中进行小芯片集成。