



PDC 5: 用于小芯片和异构集成的先进基板

刘汉诚 博士 中国台湾欣兴电子公司

课程摘要:

如今, 人工智能 (AI) 驱动的高性能计算 (HPC) 封装基板大多采用 2.5D IC 集成技术。一般而言, 对于 2.5D 或 CoWoS (晶圆上芯片基板) 而言, SoC 和高带宽存储器 (HBM) 由 TSV 中介层支撑, 然后在增层封装基板上进行焊料凸块和底部填充。然而, 由于 TSV 中介层尺寸的不断增大, TSV 中介层的制造良率损失变得难以承受。NVIDIA、AMD、英特尔、SK 海力士、三星、美光、台积电等主要厂商正在努力淘汰 TSV 中介层, 将 HBM 直接置于 SoC 之上 (3.3D IC 集成)。部分芯片的前端集成 (在封装异构集成之前) 可以实现更小的封装尺寸和更好的性能 (3.5D IC 集成)。过去几年, 2.3D IC 集成 (CoWoS-R) 技术发展势头强劲, 其核心技术是用扇外型精细金属层/硅重分布层 (RDL) 基板 (或称有机中介层) 取代硅通孔 (TSV) 中介层。通常, 2.3D 封装基板结构 (混合基板) 由叠层封装基板、底部填充焊点和有机中介层组成。目前, 2.3D 技术已投入生产。近期, 台积电 (TSMC) 发表了两篇论文, 分别探讨如何用 LSI (局部硅互连, 即硅桥) 取代大尺寸 TSV 中介层, 以及将 LSI 嵌入扇外型 RDL 基板。台积电称之为 CoWoS-L。近期, 英特尔宣布将在 2030 年前将玻璃芯基板用于生产其生产的 1 万亿个晶体管, 自此, 玻璃芯基板便成为热议话题。英特尔和博通的共封装光学器件 (CPO) 出货量持续增长, 备受瞩目。本讲座将探讨 3.5D IC 集成、3.3D IC 集成、3D IC 集成、2.5D IC 集成、2.3D IC 集成、2.1D IC 集成、2D IC 集成、扇外型 RDL、嵌入式硅桥、CoWoS-R、CoWoS-L、CPO 以及用于人工智能驱动的高性能计算 (HPC) 的玻璃芯等基板的简介、最新进展和趋势, 并提供一些建议。

课程大纲:

简介

- 基板定义
- 用于芯片和异构集成的基板
- 2D IC 集成
- 2.1D IC 集成
- 2.3D IC 集成
- 2.5D IC 集成
- 3D IC 集成
- 3.3D IC 集成
- 3.5D IC 集成



- 内置于增层基板中的桥接
- 带有 RDL 的扇出型 EMC 中嵌入的桥接
- 玻璃芯增层基板和 TGV 中介层
- CPO 基板
- 总结与建议

适应对象：

如果您（学生、工程师和管理人员）从事电子行业的任何领域，都应该参加本课程。它同样适合研发专业人员和科学家。课程内容基于多位杰出作者的出版物和讲师撰写的书籍。

讲师简介：

刘汉诚在半导体封装领域拥有 40 多年的研发和制造经验，发表了 535 多篇同行评审论文（其中 385 篇为主要研究者），52 项已授权和待批美国专利（其中 31 项为主要发明人），以及 24 本教材。刘汉诚当选为 IEEE 会士、IMAPS 成员和 ASM 成员，并积极参与行业/学术/协会会议，贡献、学习和分享。