



PDC 5: 用于小芯片和异构集成的先进基板

刘汉诚 中国台湾欣兴电子股份有限公司

课程摘要:

如今,由人工智能驱动的高性能计算(HPC)芯片封装基板大多采用2.5D IC集成技术。通常情况下,在2.5D或CoWoS(基板上晶圆封装)方案中,系统级芯片(SoC)与高带宽存储器(HBMs)通过硅通孔中介层(TSV-interposer)互连,再经焊球和底部填充材料固定在积层封装基板上。然而,由于TSV中介层尺寸的不断增大,TSV中介层的制造良率损失变得难以承受。NVIDIA、AMD、英特尔、SK海力士、三星、美光、台积电等主要厂商正在努力淘汰TSV中介层,将HBM直接置于SoC之上(3.3D IC集成)。部分芯片的前端集成(在封装异构集成之前)可以实现更小的封装尺寸和更好的性能(3.5D IC集成)。过去几年,2.3D IC集成(CoWoS-R)技术发展势头强劲,其核心技术是用扇出型精细金属层/硅重分布层(RDL)基板(或称有机中介层)取代硅通孔(TSV)中介层。通常,2.3D封装基板结构(混合基板)由叠层封装基板、底部填充焊点和有机中介层组成。目前,2.3D技术已投入生产。近期,台积电(TSMC)发表了两篇论文,分别探讨如何用LSI(局部硅互连,即硅桥)取代大尺寸TSV中介层,以及将LSI嵌入扇出型RDL基板。台积电称之为CoWoS-L。近期,英特尔宣布将在2030年前将玻璃芯基板用于生产其生产的1万亿个晶体管,自此,玻璃芯基板便成为热议话题。英特尔和博通的共封装光学器件(CPO)出货量持续增长,备受瞩目。本讲座将探讨3.5D IC集成、3.3D IC集成、3D IC集成、2.5D IC集成、2.3D IC集成、2.1D IC集成、2D IC集成、扇出型RDL、嵌入式硅桥、CoWoS-R、CoWoS-L、CPO以及用于人工智能驱动的高性能计算(HPC)的玻璃芯等基板的简介、最新进展和趋势,并提供一些建议。

课程大纲:

简介

- 基板定义
- 用于芯片和异构集成的基板
- 2D IC 集成
- 2.1D IC 集成
- 2.3D IC 集成
- 2.5D IC 集成
- 3D IC 集成



第26届电子封装技术国际会议

- 3.3D IC 集成
- 3.5D IC 集成
- 内置于增层基板中的桥接
- 带有 RDL 的扇出型 EMC 中嵌入的桥接
- 玻璃芯增层基板和 TGV 中介层
- CPO 基板
- 总结与建议

适应对象：

无论您是学生、工程师还是管理人员，只要从事电子行业相关工作都可以参加这场课程。该课程同样适合专业的研发人员和科学家，课程 44 内容是基于多位杰出学者的文献成果及讲师本人的著作。

讲师简介：

刘汉诚在半导体封装领域拥有 40 余年的研发与制造经验，发表了超过 535 篇同行评审论文（其中 385 篇为第一作者），获得 52 项美国授权专利及申请（31 项为第一发明人），并撰写了 24 部专业教材。他当选为 IEEE 院士、IMAPS 院士和 ASME 院士，长期活跃于产业界、学术界及行业协会的会议与论坛，致力于贡献专业见解、汲取新知并分享经验。